



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0000713  
Application Number

출원년월일 : 2003년 01월 07일  
Date of Application JAN 07, 2003

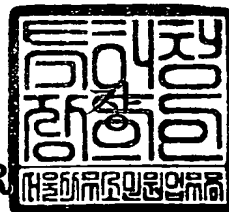
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0005  
**【제출일자】** 2003.01.07  
**【발명의 명칭】** 반도체 소자의 게이트 산화막 형성 방법  
**【발명의 영문명칭】** Method of forming a gate oxide in a semiconductor device  
**【출원인】**  
**【명칭】** (주)하이닉스 반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 신영무  
**【대리인코드】** 9-1998-000265-6  
**【포괄위임등록번호】** 1999-003525-1  
**【발명자】**  
**【성명의 국문표기】** 조병희  
**【성명의 영문표기】** CH0,Byoung Hee  
**【주민등록번호】** 721106-1482417  
**【우편번호】** 467-807  
**【주소】** 경기도 이천시 창전동 433-7  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)  
**【수수료】**  
**【기본출원료】** 11 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 기판 상에 게이트 산화막 및 폴리실리콘막을 순차적으로 형성 하는 단계; 질소 이온 주입 공정을 실시하는 단계; 상기 반도체 기판과 상기 게이트 산화막의 계면과 상기 반도체 기판과 상기 폴리실리콘막과의 계면에 산화물과 질소의 결합에 의한 베리어층이 형성되도록 열처리 공정을 실시하는 단계; 및 상기 폴리실리콘 막 상부에 질화막을 형성하는 단계를 포함하여 이루어진 반도체 소자의 게이트 산화막 형성 방법이 개시된다.

**【대표도】**

도 2

**【색인어】**

게이트 산화막, 질소 이온 주입

**【명세서】****【발명의 명칭】**

반도체 소자의 게이트 산화막 형성 방법{Method of forming a gate oxide in a semiconductor device}

**【도면의 간단한 설명】**

도 1a 내지 도 1c 는 종래 기술에 따른 반도체 소자의 게이트 산화막 형성 방법을 설명하기 위한 단면도이다.

도 2a 내지 도 2c 는 본 발명에 따른 반도체 소자의 게이트 산화막 형성 방법을 설명하기 위한 단면도이다.

\* 도면의 주요 부분에 대한 부호의 설명

10: 반도체 기판      20: 게이트 산화막

30: 폴리실리콘 막    40: 질화막

50: 소자 분리막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7>      본 발명은 반도체 소자의 게이트 산화막 형성 방법에 관한 것으로, 특히 산화막내에 트랩되는 전자 및 정공의 양을 감소시킬 수 있는 반도체 소자의 게이트 산화막 형성 방법에 관한 것이다.

- <8> 전기적 소거 및 프로그램이 가능한 플래쉬 메모리셀은 프로그램 및 소거시 높은 전압이 요구된다. 이러한 높은 전압에 의한 프로그램 및 소거 동작을 반복하게 되면 플래시 메모리셀의 게이트 산화막내의 전자 및 정공 트랩(trap)이 발생한다. 게이트 산화막 내에 트랩된 전자나 정공은 셀의 게이트에 가해지는 게이트 전압을 변화(shift)시키게 된다. 예를 들어 프로그램 및 소거 동작을 10000 내지 1000000번 정도 반복 실행하면 트랩된 전하들의 누적에 기인하여 셀의 문턱 전압을 더욱 변화시키게 된다.
- <9> 이러한 산화막 내의 전하 트랩은 질화 산화막을 사용하여 감소시키는 것이 가능하다. 즉, 산화막의 성장시  $N_2O$  또는  $N_2$  처리를 통해서 실리콘 기판 방향에 산화물과 질소가 결합한 베리어층을 형성함으로써 전하 트랩이 발생하는 것을 억제할 수 있다.
- <10> 그러나 플래시 셀처럼 게이트 양단으로 전류의 흐름이 발생하는 경우에는 실리콘 방향은 산화물과 질소에 의해 형성된 베리어에 의해 전하 트랩이 억제되나, 게이트 산화막 위에 형성되는 폴리실리콘 방향으로는 산화물과 질소에 의한 베리어층이 없으므로 전하 트랩을 억제할 수 없게 된다. 즉, 기판 방향으로의 차지 트랩은 억제되나 폴리실리콘막 방향으로의 차지 트랩은 억제할 수 없게 된다.
- <11> 종래의 게이트 산화막 형성 방법을 도 1a 내지 도 1c를 통해 설명하기로 한다.
- <12> 도 1a에 도시된 바와 같이 반도체 기판(10)상에 웰 형성공정과 셀 문턱 전압 조절용 이온 주입 공정을 실시한다. 이후, 산화 공정을 통해 게이트 산화막(20)을 형성하고 그 상부에 폴리실리콘막(30)을 형성한다.
- <13> 도 1b를 참조하면, 폴리 실리콘막(30)상부에 질화막(40)을 형성한다.

- <14> 도 1c 는 소자 분리막 형성을 위한 패터닝 공정, 셀프 얼라인 콘택 산화 공정, HDP산화막 매립 공정 및 질화막(40)제거 공정을 실시하여 게이트 산화막(20)과 소자 분리막(50)이 형성된 상태의 단면도를 나타낸다.
- <15> 이러한 종래 기술은 상술한 바와 같이 게이트 양쪽 방향으로 전류의 흐름이 발생하는 경우에는 실리콘 방향은 산화물과 질소에 의해 형성된 베리어에 의해 전하 트랩이 억제되나, 게이트 산화막 위에 형성되는 폴리실리콘 방향으로의 산화물과 질소에 의한 베리어층이 없으므로 전하 트랩을 억제할 수 없게 된다. 즉, 기판 방향으로의 차지 트랩은 억제되나 폴리실리콘막 방향으로의 차지 트랩은 억제할 수 없게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

- <16> 따라서 본 발명은 반도체 기판 방향의 전하 트랩의 억제 뿐만 아니라 폴리실리콘막 방향으로의 전하 트랩의 억제를 가능하게 한 반도체 소자의 게이트 산화막 형성 방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

- <17> 상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 게이트 산화막 형성 방법은 반도체 기판 상에 게이트 산화막 및 폴리실리콘막을 순차적으로 형성 하는 단계;
- <18> 질소 이온 주입 공정을 실시하는 단계;
- <19> 상기 반도체 기판과 상기 게이트 산화막의 계면과 상기 반도체 기판과 상기 폴리실리콘막과의 계면에 산화물과 질소의 결합에 의한 베리어층이 형성되도록 열처리 공정을 실시하는 단계; 및

- <20>       상기 폴리실리콘 막 상부에 질화막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.
- <21>       이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- <22>       도 2a 내지 도 2d 는 본 발명에 따른 반도체 소자의 게이트 산화막 형성 방법을 설명하기 위한 단면도이다.
- <23>       도 2a에 도시된 바와 같이 반도체 기판(10)상에 웰 형성공정과 셀 문턱 전압 조절용 이온 주입 공정을 실시한다. 이후, 산화 공정을 통해 게이트 산화막(20)을 형성하고 그 상부에 폴리실리콘막(30)을 형성한다.
- <24>       도 2b 는 폴리 실리콘막(30)과 게이트 산화막(20)의 계면에 질소 이온이 주입되도록 질소 이온 주입 공정을 실시한 후  $N_2$  분위기에서 급속 열처리 공정을 실시한 상태의 단면도이다. 열처리 공정에 의해 반도체 기판(10)과 게이트 산화막(20)의 계면과 폴리실리콘막(30)과 게이트 산화막 계면에서 질소와 산화물이 반응하여 양 계면에 베리어 층을 형성한다. 그로인하여 반도체 기판 방향으로의 전하 트랩 및 폴리실리콘 방향으로의 전하 트랩이 억제된다. 상기 질소 이온은 소스 가스로  $N^+$  또는  $N_2^+$ 를 이용하며 도즈는  $1E14 \sim 1E16$ , 주입 에너지는  $1 \sim 20KeV$ 로 주입된다. 상기 열처리 공정은 RTP 스파이크 어닐 공정에 의해 실시된다. RTP 스파이크 어닐 공정은  $N_2$  가스 분위기에서 실시되되, 램프 업 온도는 약  $100^\circ C/sec$ 이며, RTP 온도는  $900 \sim 1100^\circ C$  이다.
- <25>       양 방향으로 형성된 베리어 층은 플래시 셀의 프로그램 및 소거 동작시에 양방향으로 발생하는 전자와 정공의 트랩에 대한 베리어로 작용함으로써 셀의 게이트에 가해지는 게이트 전압의 변화를 효과적으로 방지할 수 있게 된다.

<26> 도 2c를 참조하면, 폴리 실리콘막(30)상부에 질화막(40)을 형성한다.

<27> 도 2d 는 소자 분리막 형성을 위한 패터닝 공정, 셀프 얼라인 콘택 산화 공정, HDP산화막 매립 공정 및 질화막(40)제거 공정을 실시하여 게이트 산화막(20)과 소자 분리막(50)이 형성된 상태의 단면도를 나타낸다.

#### 【발명의 효과】

<28> 상술한 바와 같이 본 발명에 의하면 낸드 플래시 메모리 셀의 프로그램 및 소거 동작시에 게이트 산화막 내의 전류 흐름에 의해 발생하는 전하 트랩의 양을 산화물과 질소의 반응에 의해 양 방향으로 형성된 베리어층을 이용하여 감소시킴으로써 문턱 전압의 변화를 억제할 수 있다.

<29> 이러한 양 방향 베리어층에 의한 셀의 문턱 전압 변화의 방지는 프로그램 및 소거 동작의 반복시 셀의 특성을 일정하게 유지시켜 줌으로 프로그램 및 소거 동작 특성을 향상시킬 수 있다.

<30> 또한, 낸드 플래시 셀의 경우 소자 분리막 형성을 위한 패터닝 공정 이전에 P 웰 형성 및 셀 문턱 전압 조절을 위한 보론 이온 주입 후 실시되는 열처리 공정에 의해 OED(oxidation-enhanced diffusion)효과가 발생하게 되는데, 게이트 산화막내의 산화물과 질소의 결합을 형성하기 위한 N<sub>2</sub> 열처리를 RTP 스파이크 어닐 공정을 통해 진행하므로써 OED 효과를 감소시켜 균일한 셀의 문턱 전압을 얻을 수 있다.



**【특허청구범위】****【청구항 1】**

반도체 기판 상에 게이트 산화막 및 폴리실리콘막을 순차적으로 형성 하는 단계;

질소 이온 주입 공정을 실시하는 단계;

상기 반도체 기판과 상기 게이트 산화막의 계면과 상기 반도체 기판과 상기 폴리실리콘 막과의 계면에 산화물과 질소의 결합에 의한 베리어층이 형성되도록 열처리 공정을 실시하는 단계; 및

상기 폴리실리콘 막 상부에 질화막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 게이트 산화막 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 열처리 공정은 RTP 스파이크 어닐 공정에 의해 실시되는 것을 특징으로 하는 반도체 소자의 게이트 산화막 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 질소 이온은 소스 가스로  $N^+$  또는  $N_2^+$ 를 이용하며 도즈는  $1E14 \sim 1E16$ , 주입 에너지는  $1 \sim 20KeV$ 로 주입되는 것을 특징으로 하는 반도체 소자의 게이트 산화막 형성 방법.

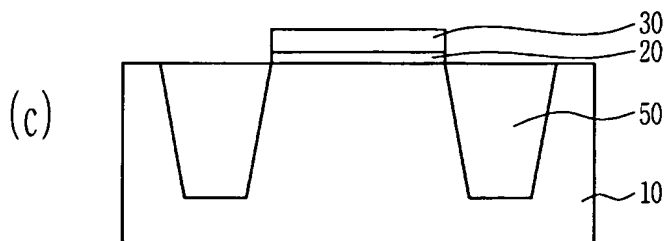
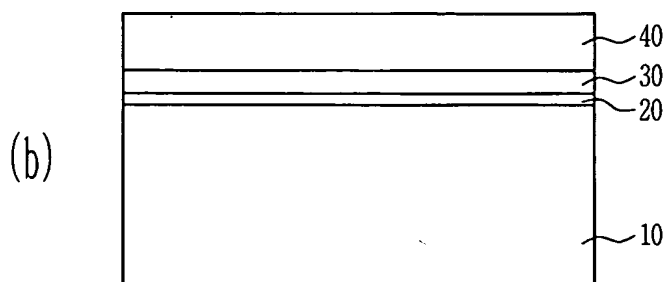
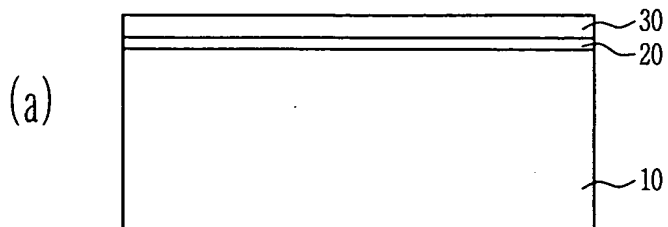
**【청구항 4】**

제 2 항에 있어서,

상기 RTP 스파이크 어닐 공정은 N<sub>2</sub> 가스 분위기에서 실시되되, 램프 업 온도는 약 100℃/sec이며, RTP 온도는 900~1100℃ 인 것을 특징으로 하는 반도체 소자의 게이트 산화막 형성 방법.

【도면】

【도 1】



【도 2】

